

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020020032285

(43) Publication.Date. 20020503

(21) Application No.1020010032464

(22) Application Date. 20010611

(51) IPC Code:

H01L 27/108

(71) Applicant:

HITACHI, LTD.

(72) Inventor:

HAMADA TOMOYUKI

HIRATANI MASAHIKO

MIKI HIROSHI

SHIMAMOTO YASUHIRO

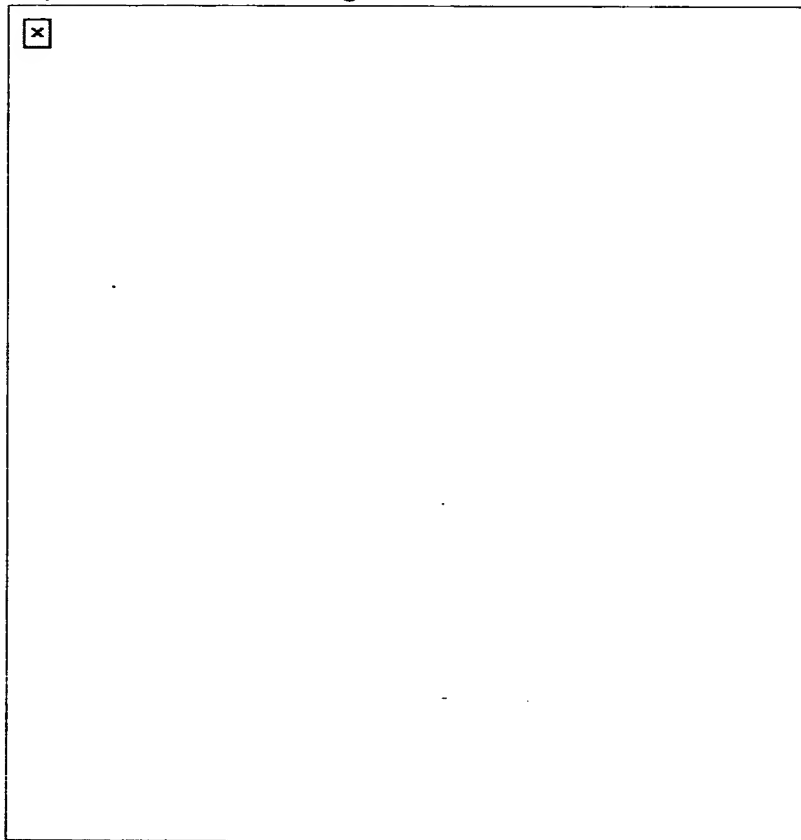
(30) Priority:

2000 2000321919 20001017 JP

(54) Title of Invention

MANUFACTURING METHOD OF SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

Representative drawing



(57) Abstract:

PURPOSE: To increase electrostatic capacity of an information storing capacitor and to reduce its leakage current.

CONSTITUTION: The information storing capacitor is produced according to following processes: a process (1) for forming a polycrystalline silicon lower electrode having formed semispherical silicon crystals on its surface, a process (2) for nitriding the surface of the lower electrode by a plasma at a low temperature which is not higher than 550°C, to form a silicon nitride film having thickness which is not smaller than 1.5 nm, and a process (3) for depositing thereon an amorphous tantalum pentoxide film to crystallize it thereafter. Thereby, the oxidation resistance of the silicon nitride film is improved to reduce its leakage current. As a result, by suppressing oxidation of the polycrystalline silicon lower electrode, the

electrostatic capacity of the information storing capacitor is increased, and the leakage current of the capacitor is suppressed.

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁷ H01L 27/108	(11) 공개번호 (43) 공개일자	특2002-0032285 2002년05월03일
(21) 출원번호	10-2001-0032464	
(22) 출원일자	2001년06월11일	
(30) 우선권 주장	2000-321919 2000년10월17일 일본(JP)	
(71) 출원인	가부시키가이샤 히타치세이사쿠쇼	
(72) 발명자	일본 도쿄토 치요다쿠 간다스루가다이 4쵸메 6반치 미키히로시 일본국도쿄토신주쿠쿠카미오치아이1-8-17-401 시마모토야스히로 일본국도쿄토하치오우지시아카츠키초1-47-3-F401 히라타니마사히코 일본국도쿄토아키시마시초츠지가오카2-5-18-507 하마다토모유키 일본국치바켄치바시이나게쿠이나게다이마치25-11	
(74) 대리인	특허법인 원전	

심사청구 : 없음

(54) 반도체 집적회로장치의 제조방법

요약

정보축적용량의 정전용량을 증대시키고, 누설전류를 감소시킨다.

정보축적용량을 이하의 공정으로 작성한다. (1) 반구형상 실리콘 결정을 표면에 형성한 다결정 실리콘 하부전극을 형성한다. (2) 당해 하부전극 표면을 550℃ 이하의 저온에서 플라즈마 질화하여, 1.5nm 이상의 막두께의 실리콘 질화막을 형성한다. (3) 오산화 탄탈막을 비정질로 퇴적한 후, 결정화시킨다.

실리콘 질화막의 내산화성이 향상되고, 누설전류가 작아진다. 이 결과, 다결정 실리콘 하부전극의 산화가 억제되어 정보축적용량의 정전용량이 증대함과 동시에, 누설전류가 억제된다.

대표도

도1

색인어

다결정 실리콘, 플라즈마 질화법, 실리콘 질화막, 오산화 탄탈막

명세서

도면의 간단한 설명

도 1은, 본 발명의 실시예 1에 의해 작성된 커패시터와, 종래기술인 열질화를 이용한 커패시터 정전용량의 오산화 탄탈 산소 열처리 온도에 의한 변화,

도 2는, 본 발명의 실시예 1에 의해 작성된 커패시터와, 종래기술인 열산화를 이용한 커패시터에서, 누설전류가 1fA/비트가 되는 전압의 오산화 탄탈 산소 열처리 온도에 의한 변화,

도 3은, 본 발명의 실시예 1에 의해 작성된 DRAM의 메모리셀부의 단면구조,

도 4는, 본 발명의 실시예 1에 의한 DRAM의 메모리셀부 제조방법을 나타내는 단면도,

도 5는, 본 발명의 실시예 1에 의한 DRAM의 메모리셀부 제조방법을 나타내는 단면도,

도 6은, 본 발명의 실시예 1에 의한 DRAM의 메모리셀부 제조방법을 나타내는 단면도,

도 7은, 본 발명의 실시예 1에 의한 DRAM의 메모리셀부 제조방법을 나타내는 단면도,

도 8은, 본 발명의 실시예 1에 의한 DRAM의 메모리셀부 제조방법을 나타내는 단면도,

도 9는 본 발명의 실시예 1에 의한 DRAM의 메모리셀부 제조방법을 나타내는 단면도,

도 10은, 본 발명의 실시예 1에 의한 DRAM의 메모리셀부 제조방법을 나타내는 단면도,
 도 11은, 본 발명의 실시예 2에서 플라즈마 질화온도의 영향을 나타내는 도면,
 도 12는, 본 발명의 실시예 3에서 플라즈마 질화막 두께의 내산화성에 대한 영향을 나타내는 도면,
 도 13은, 본 발명의 실시예 5에서 오산화 탄탈막 두께의 영향을 나타내는 도면이다.

(부호의 설명)

101	실리콘 기판
102	트랜지스터 분리용 실리콘 산화막
103	워드선
104	배선간 절연막
105	비트선
106	다결정 실리콘 플러그
107	실리콘 질화막
108	실리콘 산화막
109	비정질 실리콘막
109A	다결정 실리콘막
110	반구형상 실리콘 결정
111	플라즈마 질화막
112	오산화 탄탈막
113	질화티탄 상부전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 반도체 집적회로장치 및 그 제조기술에 관한 것으로, 특히, DRAM(Dynamic Random Access Memory)을 갖는 반도체 집적회로장치에 적용하는 유효한 기술에 관한 것이다.

DRAM은, 선택 트랜지스터와 이것에 접속된 정보축적용량(이하, 커패시터)으로 이루어지는 메모리셀을, 반도체 기판상에 매트릭스 형상으로 배치하여 구성한다. 대용량의 DRAM을 구성하기 위해서는, 이 메모리셀 커패시터의 정전용량의 고밀도화가 필요하다.

그것을 위한 기술로서, 예를 들면 일본특허공개 평 6-244364에 의하면, 커패시터의 유전체막에 고유전율을 갖는 오산화 탄탈을 이용하는 방법이 개시되어 있다. 여기서, 전극인 다결정 실리콘에는, 암모니아를 이용한 열질화에 의해 표면에 실리콘 질화막을 형성하고, 오산화 탄탈막을 산소 열처리할 때에 다결정 실리콘 전극이 산화되는 것을 방지하고 있다.

또한, 예를 들면 일본특허공개 평 11-26712에 의하면, 전극 다결정 실리콘의 표면에 반구형상 실리콘 결정을 형성하고, 동일하게 열질화와 오산화 탄탈을 형성하여, 커패시터를 구성하고 있다. 이 방법에 의하면, 오산화 탄탈의 고유전율과 동시에 반구형상 실리콘 결정에 의한 실효전극 표면적의 증가에 의해 정전용량의 고밀도화를 도모할 수 있다.

한편, 다결정 실리콘 표면의 실리콘 질화막의 다른 형성법으로서, 일본특허공개 평 4-223366에 의하면, 플라즈마 질화법에 의한 방법이 기술되어 있다.

발명이 이루고자하는 기술적 과제

256M 비트 DRAM과 같은 대용량 반도체 집적회로장치에 대하여, 상기 DRAM용 커패시터의 제조방법을 발명자들은 상세하게 검토하였다. 이러한 대용량 DRAM에서는, 커패시터 공정을 행하는 부분에서 이미 메모리셀 신호 판독회로 등의 트랜지스터가 만들어져 있고, 커패시터 공정에서의 열처리를 예를 들면 900℃에서 행하면, 트랜지스터의 특성이 열화하고, 회로 오동작의 원인이 된다. 그래서 열질화를 800℃에서 행한 바, 오산화 탄탈의 결정화 열처리(750℃, 산소중) 동안에 이 실리콘 질화막의 산화가 발생하고, 커패시터의 용량이 저하해버렸다. 오산화 탄탈의 결정화에 필요한 온도는 적어도 700℃, 바람직하게는 750℃ 이상이다. 이 결정화에 의해, 오산화 탄탈은 비유전율 25의 비정질 구조에서 8 상으로 결정화하고, 비유전율이 60으로 증대하지만, 종래기술에서는 결정화와 실리콘 질화막의 산화가 거의 동시에 발생하므로, 유전율 증대에 의한 용량 고밀도화의 효과가 실리콘 질화막의 산화에 의한 용량저하로 상쇄되어 버리고, 오산화 탄탈의 고유전율을 유효하게 이용할 수 없다는 문제가 있었다.

또한, 전극 다결정 실리콘의 표면에 반구형상 실리콘 결정을 형성하는 방법으로는, 일반적으로 형성 후에 실리콘 결정 표면에 인을 도핑하여, 커패시터 용량의 전압 의존성을 작게 하는 것이 행해진다. 플라즈마 질화를 800℃에서 행한 경우, 인의 재증발이 발생하고, 용량의 전압 의존성이 강해져 실질적으로

커패시터 용량의 저하가 발생해 버렸다.

본 발명의 목적은, 이러한 미세한 반도체 집적회로장치가 요구되는 저온에서 제조할 수 있고, 또, 충분한 용량밀도를 갖는 커패시터의 제조기술을 제공하는데 있다.

본 발명에서의 신규한 특징은, 본 명세서의 기술 및 첨부도면에서 명백해질 것이다.

발명의 구성 및 작용

본 발명의 일 실시태양에 의한 반도체 집적회로장치에서는, 하부전극을 다결정 실리콘막과 그 표면에 형성된 반구형상 실리콘 결정으로 하고, 700℃ 이하의 저온에서 하부전극 표면을 직접 질화하여 형성한 실리콘 질화막과 오산화 탄탈막의 2층 구조의 유전체막으로 한 커패시터를 갖는 것이다.

또한, 본 발명의 다른 실시태양에 의한 반도체 집적회로장치에서는, 하부전극을 다결정 실리콘막과 그 표면에 형성된 반구형상 실리콘 결정으로 하고, 플라즈마 질화하여 형성한 실리콘 질화막과 오산화 탄탈막의 2층 구조의 유전체막으로 한 커패시터를 갖는 것이다.

또한, 본 발명의 다른 실시태양에 의한 반도체 집적회로장치에서는, 하부전극을 인이 첨가된 다결정 실리콘막으로 하고, 700℃ 이하의 저온에서 하부전극 표면을 직접 질화하여 형성한 실리콘 질화막과 오산화 탄탈막의 2층 구조의 유전체막으로 한 커패시터를 갖는 것이다.

또한, 본 발명의 다른 실시태양에 의한 반도체 집적회로장치에서는, 하부전극을 인이 첨가된 다결정 실리콘막으로 하고, 플라즈마 질화하여 실리콘 질화막과 오산화 탄탈막의 2층 구조의 유전체막으로 한 커패시터를 갖는 것이다.

(발명의 실시형태)

(실시에 1)

도 3은, 본 발명에 의한 커패시터를 갖는 DRAM의 메모리셀 커패시터의 단면구조를 나타내는 도면이다. 이 제조방법을 도 4 ~ 도 10을 이용하여 구체적으로 설명한다.

공지한 방법으로 형성된 메모리셀 선택 트랜지스터상에, 비트선(105)을 형성하고, 또, 선택 트랜지스터와 커패시터와의 전기적 접속을 행하는 다결정 실리콘 플러그(106)를 형성한다(도 4).

그 위에, 막두께 100nm 정도의 질화실리콘막(107)을 CVD법으로 퇴적하고, 후의 커패시터 하부전극간 분리용의 실리콘 산화막(108)을 가공할 때의 에칭 스톱퍼로 한다. 질화실리콘막(107)의 상부에, 테트라에톡시실란(tetraethoxysilane) (TEOS)을 원료로 하는 CVD법으로 산화 실리콘막(108)을 2 μ m 형성하였다(도 5).

이 산화 실리콘막(108)과 질화실리콘막(107)을 포토레지스트를 마스크로 하는 드라이에칭에 의해 가공하고, 다결정 실리콘 플러그(106)의 상부에 하부전극용의 홈을 형성하였다(도 6).

인을 도핑한 비정질 실리콘막(109)을 35nm 퇴적하고, 포토레지스트를 이용한 공지의 에치백 기술에 의해 이 비정질 실리콘막(109)을 각 비트마다 분리한다(도 7).

세정공정을 거친 후, 비정질 실리콘막(109)의 표면에 상기 생성처리를 시행한 후에 결정화를 행하고, 반구형상 실리콘 결정(110)을 생성한다(도 8).

다음에, 이 반구형상 실리콘 결정(110)이 형성된 표면에 대하여, 예를 들면 포스핀(phosphine)을 이용하여 인을 도핑하고, 하부전극 구조를 구성하였다. 이미 주지한 바와 같이, 반구형상 실리콘 결정(110)의 생성시에는 이 결정표면의 인 농도가 저하하고, 다결정 실리콘이 전계에서 공핍화하여, 용량도 저하한다. 이 문제를 피하기 위해, 추가의 인 도핑은, 반구형상 실리콘 결정을 이용할 때에는 불가결하다.

이 하부전극의 표면에 실리콘 질화막(111)을 형성한다. 본 실시예에서는, 질화 플라즈마에 의한 플라즈마 질화법을 이용하고 있고, 평행 평판형의 전극을 갖는 플라즈마 질화장치를 이용한다. 플라즈마 질화법은, 생성된 활성질소가 다결정 실리콘 표면에서 실리콘 원자를 직접 질화하고, 실리콘 질화막을 형성하는 원리에 의거하는 것이다. 본 실시예의 질화처리는, 400℃, 고주파 전력 100W에서 1분간 행하였다. 이 결과, 대략 1.5nm의 실리콘 질화막(111)이 생성되었다(도 9).

다음에, CVD법에 의해, 비정질 오산화 탄탈막을 형성하였다. 예를 들면 450℃의 기판 온도에서 펜타에톡시(pentaethoxy) 탄탈을 원료로 하여, 8nm의 비정질 오산화 탄탈막을 형성하였다. 계속하여, 산소중에서 800℃, 5분간의 열처리를 행하여, δ 상 오산화 탄탈(112)에 결정화시켰다.(도 10).

상부전극은, 질화티탄막(113)을 CVD법으로 퇴적하여 형성한다. 막두께는 하부전극과 유전체막으로 구성되는 홈을 매립하도록 선택하고, 하부전극 홈에 기인하는 표면 요철을 평탄화하여, 도 3의 구조를 얻었다. CVD법은, 예를 들면 사염화(四鹽化) 티탄과 암모니아를 원료로 하는 감압(減壓) CVD법이 적당하다. 또한, 필요에 따라 스퍼터법으로 막두께를 증가시켜, 상부전극의 저항을 감소시켰다. 또한, CVD법으로 형성한 질화티탄에 잔류하는 염소를 제거하기 위해, 전극형성 후에 열처리로서 500℃ 정도의 처리를 시행하는 것도 가능하다.

이 상부전극을 포토레지스트를 마스크로 하는 드라이에칭에 의해 가공하고, 메모리셀부 이외의 질화티탄을 제거한다. 또한, 주지의 배선공정을 거침으로써, 반도체 집적회로장치가 완성된다.

본 발명의 특징인 플라즈마 질화법의 효과를, 도 1과 도 2를 이용하여 설명한다. 도 1에서, 종축(縱軸)은 커패시터의 1비트당 용량, 횡축(橫軸)은 오산화 탄탈의 산소중 열처리 온도이다. 또한, 도 2에서, 종축은 1비트당 누설전류가 1fA가 되는 전압으로 정의한 내압, 횡축은 도 1과 동일한 열처리 온도이다.

종래기술의 열질화에서 실리콘 질화막을 형성한 경우, 열처리 온도의 상승에 따라 용량치는 서서히 증대해 가지만, 결정화가 발생하는 750℃를 경계로 용량은 저하한다. 이것은, 실리콘 질화막의 산화도 동시에 750℃에서 현저해지기 때문이다. 이 베이스 산화의 진행은, 커패시터의 내압증가에는 현저한 효과가 있으며, 도 2에 나타난 바와 같이 700℃부터 고온이 됨에 따라, 급격히 내압이 상승한다. 그러나, 이 메카니즘에서 용이하게 추측되는 바와 같이, 내압의 상승은 반드시 용량치의 저하를 동반하므로, 본 실시예와 같은 대용량 DRAM을 실현하는데 필요한 용량과 내압을 동시에 실현할 수 없었다.

한편, 본 실시예에서 이용한 플라즈마 질화법으로 형성한 실리콘 질화막에는, 종래의 열질화막과 비교하여 2개의 중요한 특징이 있다는 것이, 발명자들의 검토 결과 판명되었다. 하나는, 플라즈마 질화막의 내산화성은, 종래의 열산화막과 상압(常壓)산화가 진행되는 온도에서 비교하면, 100℃ 정도 우수하다는 것이다. 또 하나는, 고농도에 인을 포함하는 실리콘을 질화한 경우, 플라즈마 질화막은, 열질화막 보다도 누설전류가 적다는 점이다. 이것들을 구체적으로 도 1과 도 2에서 설명한다.

오산화 탄탈막이 750℃에서 결정화되면, 유전율의 상승이 발생한다. 비정질에서는 25였던 비유전율은, 결정화에서 60으로 증대하고, 이것에 대응하여 비트당 용량치는 증가하여, 25fF 이상이 된다(도 1). 이것은, 플라즈마 질화에서 형성한 실리콘 질화막은, 오산화 탄탈의 결정화 온도에서도 산화가 거의 발생하지 않으므로, 오산화 탄탈막의 유전율 상승을 그대로 용량치의 증대로서 이용할 수 있기 때문이다. 또한, 열처리 온도를 800℃로 해도, 용량치는 변화하지 않지만, 850℃ 부근에서 용량이 서서히 저하한다. 이 현상은, 열질화막의 산화가 700℃ 부근에서 시작되는데 비해, 800℃까지 플라즈마 질화막이 산화하지 않는다는 특징에 유래하는 것이다.

한편, 내압은, 종래의 열질화막을 이용한 경우와 비교하여, 플라즈마 질화를 이용한 경우는 내압이 높다는 특징이 있다. 앞서 기술한 바와 같이, 열질화를 이용한 경우에는, 질화막 자신이 산화한 후 처음으로 내압이 높아졌다. 이것에 대하여, 플라즈마 질화를 이용한 경우는, 자신의 산화가 발생하지 않아도 내압이 높다. 오산화 탄탈 커패시터의 누설전류는, 전자가 다결정 실리콘 전극에서 오산화 탄탈층으로 주입될 확률이 지배적이고, 이 확률은, 다결정 실리콘 전극 표면에 형성된 실리콘 질화막의 전자에 대한 패리어성으로 결정되어 있다. 도 2의 결과는, 플라즈마 질화막은 그 자신이 산화하지 않아도 충분한 배리어성을 가지고 있다는 것을 나타내고 있고, 산화가 발생하지 않는다면 배리어성이 없는 종래의 열질화막과 비교하여 우수한 점이다. 이 때문에, 오산화 탄탈이 결정화되고, 또, 실리콘 질화막은 산화하지 않고 있는 열처리 온도(750℃에서 800℃)에서, 대용량의 DRAM을 실현하는데 충분한 용량과 내압을 얻을 수 있었다. 도 1은 비트당 용량으로 나타내었지만, 평면구조의 실험패턴에 의한 검토에서는, 단위면적당 용량은 $25\text{fF}/\mu\text{m}^2$ 이며, 1V에서의 누설전류는 $2 \times 10^{-8}\text{A}/\text{cm}^2$ 이하를 실현할 수 있었다. 이것은, 다결정 실리콘 전극에서, 오산화 탄탈을 유전체로 갖는 반도체 집적회로장치용 정보기억 커패시터로서는, 종래에 없는 낮은 실효막 두께이며, 종래기술의 열질화에서는 실현할 수 없었던 것이다.

반구형상 실리콘 결정을 형성하지 않는 경우의 용량은 $12\text{fF}/\mu\text{m}^2$ 이며, 1V에서의 누설전류는 $1 \times 10^{-8}\text{A}/\text{cm}^2$ 이하였다. 이것에 의해 반구형상 실리콘 결정에 의한 실효전극 면적증대의 효과는 약 2배라고 견적하였다. 반구형상 실리콘 결정을 형성하지 않는 경우에는 인의 추가 도핑을 행하고 있지 않지만, 본 발명에 의한 저온 질화막 형성을 이용함으로써 질화막중으로 인의 삼입을 억제할 수 있어, 누설전류의 저감을 도모할 수 있다.

또한, 플라즈마 질화막의 내산화성은, 종래의 열질화막보다 높지만, 전혀 산화가 발생하지 않을리는 없다. 예를 들면, 800℃에서 오산화 탄탈을 결정화한 경우, 실리콘 질화막은 0.2nm 약산화되어 있다. 따라서, 본 실시예에서 작성된 플라즈마 질화막은, 최종적으로는 오산화 탄탈과의 계면근방에 산소를 포함하는 질화막으로 되어 있는 것을 판명하였다.

(실시예 2)

실시예 1에서는, 플라즈마 질화의 조건은 질소 플라즈마 400℃, 100W 1분간으로 하였다. 발명자 등은, 실리콘 질화막의 형성조건을 검토하고, 다음과 같은 결과를 얻었다. 여기서는, 플라즈마 질화온도에 대하여 설명한다.

도 11은, 질화온도에 대한 용량의 전압 의존성과 누설전류치를 나타낸 도면이다. 700℃부근에서 전압 의존성, 누설전류치와 함께 급증하는 모양을 알 수 있다. 이것에 의해, 실시예 1에서 기술한 플라즈마 질화가 우수한 성질은, 저온에서 실리콘 질화막을 형성할 수 있다는 특징에 의한 것이라는 것을 알 수 있었다. 전압 의존성의 증대는, 실리콘 질화막 계면부근에 존재하는 인의 농도가 저하하고 있는 것을 나타내고 있다. 온도에서 형성한 커패시터의 누설전류가 전압 의존성과 동일하게 증대함으로써, 인이 질화막중으로 삼입되고, 표면 인 농도를 저하시키고 동시에, 질화막의 전자에 대한 배리어성도 저하시키고 있다고 이해할 수 있다. 즉, 저온에서 실리콘의 질화가 가능한 방법이, 실시예 1과 동일한 효과를 가져온다고 예상된다.

그래서, 이 식견을 바탕으로, 다른 저온 질화막 형성법에 대하여 검토하였다. 라디컬 발생장치에서 공급되는 질화종을 이용한 형성법은, 질화막 형성속도가 매우 느리고, 30분 이상의 프로세스 시간을 필요로 하였지만, 실시예 1과 동일한 효과를 확인할 수 있었다. 리모트 플라즈마원을 이용한 질화막 형성방법에서도 동일하게 시간을 필요로 하지만, 높은 내산화성과 내압을 실현할 수 있었다. 현상에서 공업생산에 적용할 수 있는 형성방식은, 사실상 실시예 1에서 나타난 플라즈마 질화에 한정되지만, 저온질화가 가능한 방식이라면, 본 발명의 효과가 얻어지는 것을 확인할 수 있었다. 도 11에서, 질화온도는 700℃ 이하, 바람직하게는 550℃ 이하이다. 이러한 온도범위에서는 암모니아에 의한 열질화는 거의 반응이 일어나지 않으므로 적용할 수 없다는 것을 알 수 있고, 종래기술에서 저온화하는 것만으로는 본 발명의 효과를 얻는 것은 불가능하다. 또한, 감압 CVD법으로 질화막을 형성할 경우에도, 반응온도는 대략 700℃ 이상이 필요하며, 본 발명의 효과를 얻는 것은 불가능하였다.

또한, 저온화가 현저한 효과를 나타내는 것은, 상기 기구(機構)에서도 명확한 것처럼, 다결정 실리콘 표

면에 고농도로 인이 함유되어 있는 경우이다. 실시예 1에서 기술한 바와 같이, 반구형상 실리콘 결정을 이용할 경우, 기상에서 포스핀(phosphine)을 이용한 인의 추가가 불가결하며, 필연적으로 표면은 고농도 인을 함유하는 상태로 되어 있다. 따라서, 반구형상 실리콘 결정을 이용한 DRAM 커패시터의 대용량화에 있어서, 본 발명이 매우 유효하다는 것을 알 수 있었다.

(실시예 3)

다음에, 플라즈마 질화막 두께에 대하여 검토한 결과를 나타낸다.

막두께는 거의 입력전력에 의해 결정되고, 시간 의존성은 작다. 그래서, 내산화성에 대한 막두께의 효과를 주로 입사전력을 변경하여 검토한 결과가 도 12이다. 도 12에서, 횡축(橫軸)은 질화막 막두께, 종축은 800℃, 5분의 산화를 행한 후의 막두께 증가분이다.

질화막 두께 1nm 미만에서는, 내산화성이 급격히 열화한다. 이것에 의해, 질화막 두께는 적어도 1nm, 바람직하게는 1.5nm를 필요로 한다는 것을 알 수 있었다. 또한, 막두께를 지나치게 두껍게 하면 커패시터 용량이 저하하므로, 실현하는 용량치를 고려한 경우에 막두께 상한이 존재하는 것은 말할 필요도 없다.

또한, 반응가스에 대해서는, 순질소 이외에, 암모니아 플라즈마, 수소첨가 질소 플라즈마에 대하여 검토하였다. 앞서 기술한 바와 같이, 내산화성을 결정하는 가장 중요한 조건은 반응온도이며, 550℃ 이하의 온도에서 비교하는 한 유의차는 볼 수 없었다.

(실시예 4)

다음에, 오산화 탄탈 박막의 열처리 방식의 검토결과를 나타낸다.

실시예 1에서는 산소중 800℃, 5분의 예를 나타내었지만, 도 1 및 도 2에 나타내는 바와 같이, 용량밀도, 내압 중 어떤 것이라도, 종래기술과 비교하여 본 발명의 방식은 우수한 값을 나타내고 있고, 효과는 열처리 온도에 의하지 않는다. 특히, 실리콘사이드 등 열이력에 대한 요구가 보다 엄격한 기술과의 병용은, 본 발명의 적합한 실시형태의 하나이다. 예를 들면 프로세스 최고온도를 650℃로 할 경우, 본 기술에 의하면 비트당 용량 23fF, 내압 1V 이상을 얻는 것이 가능하다. 용량이 고온처리의 경우보다 조금 작아지는 것이 문제인 경우에는, 하부전극 구조의 높이를 증대함으로써 대응하고, 필요한 용량을 확보할 필요가 있다.

열처리 분위기는, 실시예 1에서는 산소를 이용하였지만, 희석산소나 오존, 아산화 질소와 같은 다른 산화성 가스라도 본 발명은 실시할 수 있다. 또, 플라즈마 산소처리나 산소 라디컬 처리와 같은 경우라도, 본 발명의 실리콘 질화막 내산화성 향상이나 누설전류 저감효과는 유효하며, 실시 가능하다.

(실시예 5)

다음에, 오산화 탄탈의 고유전율 상(相)을 이용하는 실시예 1의 결정화에 대하여 검토한 결과를 개시한다.

오산화 탄탈의 결정구조는 일반적으로는 L상(相)이라 불리는 장주기의 구조를 취한다. 그러나, 본 발명에서와 같은 매우 얇은 막에서는, 이 장주기를 안정화시킬수록 막두께가 존재하지 않으므로, 단주기의 대칭성을 갖는 육방정(六方晶)의 δ 상이 상대적으로 안정해진다. δ 상(相)은, 비유전율은 60 정도로 높다. 또한, 전도대 최저 에너지가 L상 보다도 0.5eV 정도 높은 위치에 있으므로, 전극(예를 들면 다결정 실리콘이나 질화탄탈)에서 전자의 주입이 일어나기 어려운 결정구조이다. 이 2개의 특징은, 반도체 집적 회로장치에 있어 매우 유리한 점이며, 한정된 면적으로 대용량의 커패시터를 구성할 수 있고, 더구나 누설전류를 작게할 수 있다는 이점을 생성해낼 수 있다.

도 13은, 750℃에서 결정화시킨 오산화 탄탈 비유전율의 누적분포를 나타낸 것이다. δ 상을 안정화시키기 위한 문턱치 막두께는 명확하지 않지만, 20nm에서는 안정하여 고유전율을 나타내고 있는 것을 알 수 있다. 또한, 누설전류 밀도에 대해서도, 문턱치 막두께는 명확해진 않지만, 막두께가 감소함에 따라 누설전류 밀도는 감소해 가고, 20nm에서는 실용상 문제가 없는 분포로 안정되었다. 이제부터, δ 상 오산화 탄탈의 고유전율, 저(低)누설전류의 특징을 공업적으로 이용하는데는, 막두께 20nm 이하로 하는 것이 중요하다라는 것을 알 수 있었다.

또한, 이 δ 상(相) 오산화 탄탈을 DRAM의 커패시터에 적용할 경우에, 결정화와 동시에 베이스의 실리콘 질화막이 산화하여 후(厚)막화하지 않도록, 내산화성을 향상시켜 두는 것이 중요한 것은, 실시예 1에서 기술하였다. 더욱이, δ 상 오산화 탄탈은, 그 고유전율과 저(低)누설전류의 이점을 활용하여, 전계효과 트랜지스터의 게이트 절연막에 적용할 수 있다. 또한, 플래쉬 메모리의 층간 절연막에도 적용 가능하다. 어느 쪽이든 L 상의 오산화 탄탈에서는 수율, 신뢰성의 양면에서 충분하지 않지만, 박막화하여 δ 상을 안정화시킴으로써, 공업적으로 충분한 성능을 얻는 것이 가능해졌다.

발명의 효과

미세화해도 충분한 정전용량을 나타내는 커패시터를 구성할 수 있으며, 대용량 반도체 집적회로장치, 특히 DRAM을 제공할 수 있다.

(57) 청구의 범위

청구항 1

하부전극과, 실리콘 질화막과 오산화 탄탈막이 적층된 유전체막과, 상부 전극으로 이루어지는 용량소자를 갖는 반도체 집적회로장치의 제조방법에 있어서,

반구형상 실리콘 결정층을 표면에 갖는 다결정 실리콘으로 이루어지는 하부전극을 형성하는 제1 공정과, 플라즈마 질화법에 의해 상기 하부전극 표면에 실리콘 질화막을 형성하는 제2 공정과,

상기 실리콘 질화막상에 비정질 오산화 탄탈막을 형성한 후, 열처리를 행하고, 결정화 오산화 탄탈막을 형성하는 제3 공정과,

상기 결정화 탄탈막상에 상부전극을 형성하는 제4 공정을 갖는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 2

제 1항에 있어서,

상기 제2 공정은, 플라즈마 발생부분과 반도체기판 설치부분이 공간적으로 분리되어 구비되어 있는 장치에서 행해지며, 또, 질화반응이 상기 플라즈마 발생부분에서 공급되는 질화 반응종으로 행해지는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 3

제 1항에 있어서,

상기 제2 공정에서, 실리콘 질화막을 그 막두께가 1nm 이상이 되도록 형성하는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 4

제 3항에 있어서,

상기 제2 공정에서, 실리콘 질화막을 그 막두께가 1.5nm 이상이 되도록 형성하는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 5

제 1항에 있어서,

상기 제2 공정에서, 상기 상부전극을 질화탄탈막으로 형성하는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 6

제 5항에 있어서,

상기 질화탄탈막의 적어도 일부를 화학기상 성장법으로 형성하는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 7

하부전극과, 실리콘 질화막과 오산화 탄탈막이 적층된 유전체막과, 상부전극으로 이루어지는 용량소자를 갖는 반도체 집적회로장치의 제조방법에 있어서,

반구형상 실리콘 결정층을 표면에 갖는 다결정 실리콘으로 이루어지는 하부전극을 형성하는 제1 공정과,

상기 다결정 실리콘을 700℃ 이하에서 직접 질화함으로써, 상기 하부전극 표면에 실리콘 질화막을 형성하는 제2 공정과,

상기 실리콘 질화막상에 비정질 오산화 탄탈막을 형성한 후, 열처리를 행하고 결정화 오산화 탄탈막을 형성하는 제3 공정과,

상기 결정화 탄탈막상에 상부전극을 형성하는 제4 공정을 갖는 것을 특징으로 하는 반도체 집적회로장치 및 그 제조방법.

청구항 8

제 7항에 있어서,

상기 제2 공정을 550℃ 이하에서 행하는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 9

제 7항에 있어서,

상기 제2 공정에서의 상기 직접질화는, 질소 라디컬 발생장치에서 공급되는 반응종으로 행해지는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 10

제 7항에 있어서,

상기 제2 공정에서, 실리콘 질화막을 그 막두께가 1nm 이상이 되도록 형성하는 것을 특징으로 하는 반도체

체 집적회로장치의 제조방법.

청구항 11

제 10항에 있어서,

상기 제2 공정에서, 실리콘 질화막을 그 막두께가 1.5nm 이상이 되도록 형성하는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 12

제 7항에 있어서,

상기 제2 공정에서, 상기 상부전극을 질화티탄막으로 형성하는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 13

제 12항에 있어서,

상기 질화티탄막의 적어도 일부를 화학기상 성장법으로 형성하는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 14

하부전극과, 실리콘 질화막과 오산화 탄탈막이 적층된 유전체막과, 상부전극으로 이루어지는 용량소자를 갖는 반도체 집적회로장치의 제조방법에 있어서,

인이 첨가된 다결정 실리콘으로 이루어지는 하부전극을 형성하는 제1 공정과,

플라즈마 질화법에 의해 상기 하부전극 표면에 실리콘 질화막을 형성하는 제2 공정과,

상기 실리콘 질화막상에 비정질 오산화 탄탈막을 형성한 후, 열처리를 행하고 결정화 오산화 탄탈막을 형성하는 제3 공정과,

상기 결정화 탄탈막상에 상부전극을 형성하는 제4 공정을 갖는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 15

제 14항에 있어서,

상기 제2 공정은, 플라즈마 발생부분과 반도체기판 설치부분이 공간적으로 분리되어 구비되어 있는 장치에서 행해지고, 또, 질화반응이 상기 플라즈마 발생부분에서 공급되는 질화 반응종으로 행해지는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 16

제 14항에 있어서,

상기 제2 공정에서, 실리콘 질화막을 그 막두께가 1nm 이상이 되도록 형성하는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 17

제 16항에 있어서,

상기 제2 공정에서, 실리콘 질화막을 그 막두께가 1.5nm 이상이 되도록 형성하는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 18

제 14항에 있어서,

상기 제2 공정에서, 상기 상부전극을 질화 티탄막으로 형성하는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 19

제 18항에 있어서,

상기 질화티탄막의 적어도 일부를 화학기상 성장법으로 형성하는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 20

하부전극과, 실리콘 질화막과 오산화 탄탈막이 적층된 유전체막과, 상부전극으로 이루어지는 용량소자를 갖는 반도체 집적회로장치의 제조방법에 있어서,

인이 첨가된 다결정 실리콘으로 이루어지는 하부전극을 형성하는 제1 공정과,

상기 다결정 실리콘을 700℃ 이하에서 직접 질화함으로써, 상기 하부전극 표면에 실리콘 질화막을 형성하는 제2 공정과,

상기 실리콘 질화막상에 비정질 오산화 탄탈막을 형성한 후, 열처리를 행하고 결정화 오산화 탄탈막을 형성하는 제3 공정과,

상기 결정화 탄탈막상에 상부전극을 형성하는 제4 공정을 갖는 것을 특징으로 하는 반도체 집적회로장치 및 그 제조방법.

청구항 21

제 20항에 있어서,

상기 제2 공정을 550℃ 이하에서 행하는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 22

제 20항에 있어서,

상기 제2 공정에서 상기 직접 질화는, 질소 라디컬 발생장치에서 공급되는 반응종으로 행해지는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 23

제 20항에 있어서,

상기 제2 공정에서, 실리콘 질화막을 그 막두께가 1nm 이상이 되도록 형성하는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 24

제 23항에 있어서,

상기 제2 공정에서, 실리콘 질화막을 그 막두께가 1.5nm 이상이 되도록 형성하는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 25

제 20항에 있어서,

상기 제2 공정에서, 상기 상부전극을 질화 티탄막으로 형성하는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 26

제 25항에 있어서,

상기 질화티탄막의 적어도 일부를 화학기상 성장법으로 형성하는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 27

반구형상 실리콘 결정을 표면에 형성한 다결정 실리콘을 하부전극으로 하고, 질화실리콘을 주성분으로 하는 제1 유전체와, 오산화 탄탈을 주성분으로 하는 제2 유전체와의 적층구조를 갖는 유전체막을 갖는 용량소자를 포함하는 반도체 집적회로장치에 있어서, 상기 제1 유전체가 플라스마 질화막인 것을 특징으로 하는 반도체 집적회로장치.

청구항 28

제 27항에 있어서,

상기 제1 유전체의 막두께가 1nm 이상인 것을 특징으로 하는 반도체 집적회로장치.

청구항 29

제 28항에 있어서,

상기 제1 유전체는 막두께가 1.5nm 이상인 것을 특징으로 하는 반도체 집적회로장치.

청구항 30

제 27항에 있어서,

상기 제2 유전체가 결정화되어 있고, 그 결정이 육방정(六方晶)인 것을 특징으로 하는 반도체 집적회로장치.

청구항 31

제 27항에 있어서,

상기 제2 유전체가 결정화되어 있고, 그 유전율이 50 이상인 것을 특징으로 하는 반도체 집적회로장치.

청구항 32

제 27항에 있어서,

상기 용량소자는, 상기 유전체막을 사이에 두고 대향하는 상부전극이 질화티탄으로 형성되어 있는 것을

특징으로 하는 반도체 집적회로장치.

청구항 33

반구형상 실리콘 결정층을 표면에 형성한 다결정 실리콘을 하부전극으로 하고, 실리콘 질화막을 주성분으로 하는 제1 유전체와, 오산화 탄탈막을 주성분으로 하는 제2 유전체와의 적층구조를 갖는 유전체막을 갖는 용량소자를 갖는 반도체 집적회로장치에 있어서,

상기 용량소자의 정전용량이 $25\text{fF}/\mu\text{m}^2$ 이상인 것을 특징으로 하는 반도체 집적회로장치.

청구항 34

제 33항에 있어서,

상기 제1 유전체의 막두께가 1nm 이상인 것을 특징으로 하는 반도체 집적회로장치.

청구항 35

제 34항에 있어서,

상기 제1 유전체의 막두께가 1.5nm 이상인 것을 특징으로 하는 반도체 집적회로장치.

청구항 36

제 33항에 있어서,

상기 제2 유전체가 결정화되어 있고, 그 결정이 육방정(六方晶)인 것을 특징으로 하는 반도체 집적회로장치.

청구항 37

제 33항에 있어서,

상기 제2 유전체가 결정화되어 있고, 그 유전율이 50 이상인 것을 특징으로 하는 반도체 집적회로장치.

청구항 38

제 33항에 있어서,

상기 용량소자는, 상기 유전체막 사이에 두고 대향하는 상부전극이 질화티탄으로 형성되어 있는 것을 특징으로 하는 반도체 집적회로장치.

청구항 39

인을 첨가한 다결정 실리콘을 하부전극으로 하고, 실리콘 질화막을 주성분으로 하는 제1 유전체와, 오산화 탄탈막을 주성분으로 하는 제2 유전체와의 적층구조를 갖는 유전체막을 갖는 용량소자를 갖는 반도체 집적회로장치에 있어서, 상기 실리콘 질화막이 플라즈마 질화막인 것을 특징으로 하는 반도체 집적회로장치.

청구항 40

인을 첨가한 다결정 실리콘을 하부전극으로 하고, 실리콘 질화막을 주성분으로 하는 제1 유전체와, 오산화 탄탈막을 주성분으로 하는 제2 유전체와의 적층구조를 갖는 유전체막을 갖는 용량소자를 갖는 반도체 집적회로장치에 있어서, 상기 용량소자의 정전용량이 $12\text{fF}/\mu\text{m}^2$ 이상인 것을 특징으로 하는 반도체 집적회로장치.

청구항 41

메모리셀 선택용 트랜지스터와 이것에 직렬로 접속된 정보축적용 용량소자로 메모리셀을 구성하고, 상기 정보축적용 용량소자가, 상방에 개구부를 갖는 원통형의 다결정 실리콘막과 그 표면에 형성된 반구형상 실리콘 결정층으로 이루어지는 하부전극과, 상기 하부전극의 표면에 형성된 용량 절연막과, 상기 용량 절연막 사이에 두고 상기 하부전극에 대향하여 형성된 상부전극을 구비하며, 상기 메모리셀 선택용 트랜지스터의 상방에 배치된 DRAM을 갖는 반도체 집적회로장치의 제조방법으로서,

상기 메모리셀 선택용 트랜지스터 형성 후에 절연막을 퇴적하고, 그 절연막의 일부를 개구하여 홈을 형성하는 제1 공정과,

상기 홈의 내부에 비정질 실리콘막을 형성하는 제2 공정과,

상기 비정질 실리콘막의 표면에 반구형상 실리콘 결정층을 형성하는 제3 공정과,

상기 반구형상 실리콘 결정층의 표면에 인을 도입하는 제4 공정과,

상기 인을 도입한 반구형상 실리콘 결정층의 표면을 플라즈마 질화하고, 질화실리콘을 주성분으로 하는 유전체막을 형성하는 제5 공정과,

상기 유전체막 표면에 비정질 오산화 탄탈막을 형성하는 제6 공정과,

상기 비정질 오산화 탄탈막을 700°C 이상의 산화성 분위기에서 결정화시키는 제 7 공정과,

상기 오산화 탄탈막의 상부에 상기 홈을 매립하도록 질화티탄을 퇴적하는 제8 공정을 포함하는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 42

메모리셀 선택용 트랜지스터와 이것에 직렬로 접속된 정보축적용 용량소자로 메모리셀을 구성하고, 상기 상방 축적용 용량소자가, 상방에 개구부를 갖는 원통형의 다결정 실리콘막과 그 표면에 형성된 반구형상 실리콘 결정으로 이루어지는 하부전극과, 상기 하부전극의 표면에 형성된 용량 절연막과, 상기 용량 절연막을 사이에 두고 상기 하부전극에 대향하여 형성된 상부전극을 구비하여, 상기 메모리셀 선택용 트랜지스터의 상방에 배치된 DRAM을 갖는 반도체 집적회로장치의 제조방법으로서,

상기 메모리셀 선택용 트랜지스터 형성 후에 절연막을 퇴적하고, 그 절연막의 일부를 개구하여 홈을 형성하는 제1 공정과,

상기 홈 내부에 비정질 실리콘막을 형성하는 제2 공정과,

상기 비정질 실리콘막의 표면에 반구형상 실리콘 결정을 형성하는 제3 공정과,

상기 반구형상 실리콘 결정의 표면에 인을 도입하는 제4 공정과,

상기 인을 도입한 반구형상 실리콘 결정의 표면을 700℃ 이하로 직접 질화하고, 질화실리콘을 주성분으로 하는 유전체막을 형성하는 제5 공정과,

상기 유전체막 표면에 비정질 오산화 탄탈막을 형성하는 제6 공정과,

상기 비정질 오산화 탄탈막을 700℃ 이상의 산화성 분위기로 결정화시키는 제7 공정과,

상기 오산화 탄탈막의 상부에 상기 홈을 매립하도록 질화티탄을 퇴적하는 제8 공정을 포함하는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 43

제 42항에 있어서,

상기 제7 공정을 550℃ 이하로 행하는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 44

제 41항 내지 제 43항 중 어느 한 항에 있어서,

상기 유전체막의 막두께를 1nm 이상으로 하는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 45

제 44항에 있어서,

상기 유전체막의 막두께를 1.5nm 이상으로 하는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 46

다결정 실리콘막과 그 표면에 형성된 반구형상 실리콘 결정으로 이루어지는 하부전극과, 상기 하부전극의 표면에 형성된 용량절연막과, 상기 용량절연막을 사이에 두고 상기 하부전극에 대향하여 형성된 상부전극을 구비한 용량소자를 갖는 반도체 집적회로장치의 제조방법으로서,

인을 포함하는 다결정 실리콘막을 형성하는 제1 공정과,

상기 다결정 실리콘의 표면을 플라즈마 질화하고, 질화실리콘을 주성분으로 하는 유전체막을 형성하는 제2 공정과,

상기 유전체막 표면에 비정질 오산화 탄탈막을 형성하는 제3 공정과,

상기 비정질 오산화 탄탈막을 700℃ 미만의 산화성 분위기에서 열처리하는 제4 공정을 포함하는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 47

다결정 실리콘막과 그 표면에 형성된 반구형상 실리콘 결정으로 이루어지는 하부전극과, 상기 하부전극의 표면에 형성된 용량 절연막과, 상기 용량 절연막을 사이에 두고 상기 하부전극에 대향하여 형성된 상부전극을 구비한 용량소자를 갖는 반도체 집적회로장치의 제조방법으로서,

인을 포함하는 다결정 실리콘막을 형성하는 제1 공정과,

상기 다결정 실리콘의 표면을 700℃ 이하로 직접 질화하고, 질화실리콘을 주성분으로 하는 유전체막을 형성하는 제2 공정과,

상기 유전체막 표면에 비정질 오산화 탄탈막을 형성하는 제3 공정과,

상기 비정질 오산화 탄탈막을 700℃ 미만의 산화성 분위기로 열처리하는 제4 공정을 포함하는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

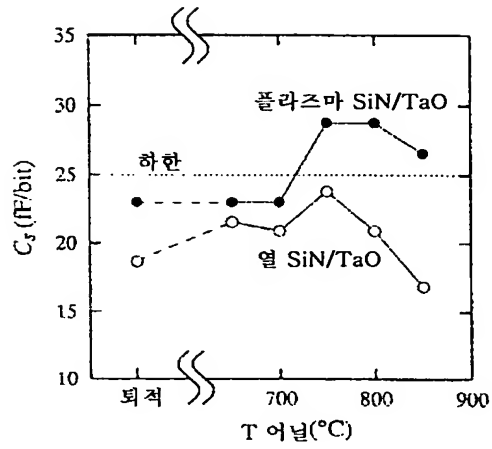
청구항 48

제 47항에 있어서,

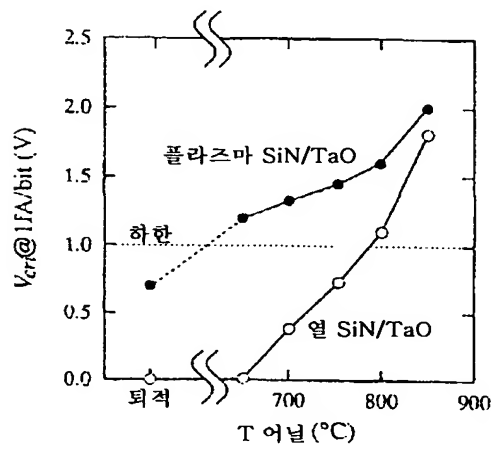
상기 제2 공정을 550℃ 이하에서 행하는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

도면

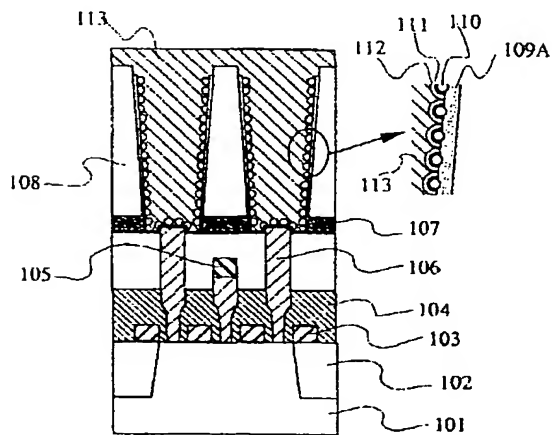
도면1



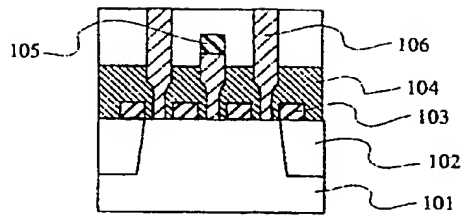
도면2



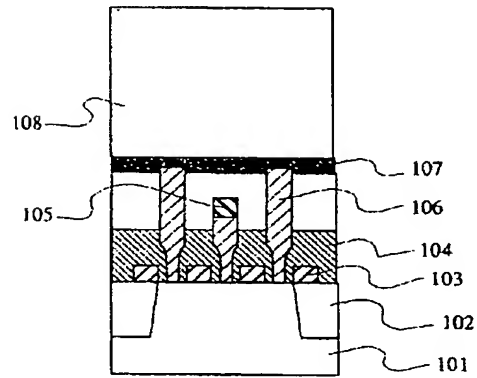
도면3



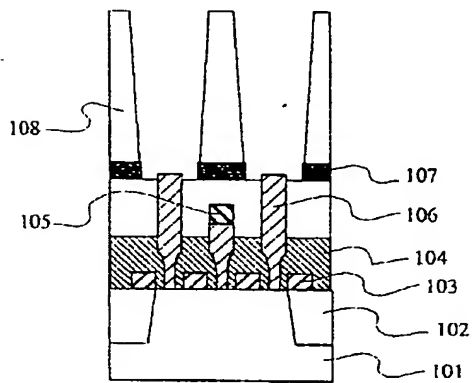
도면4



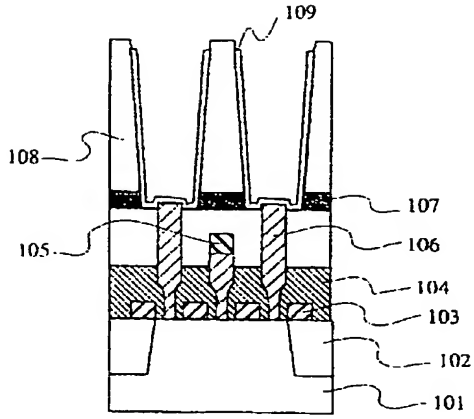
도면5



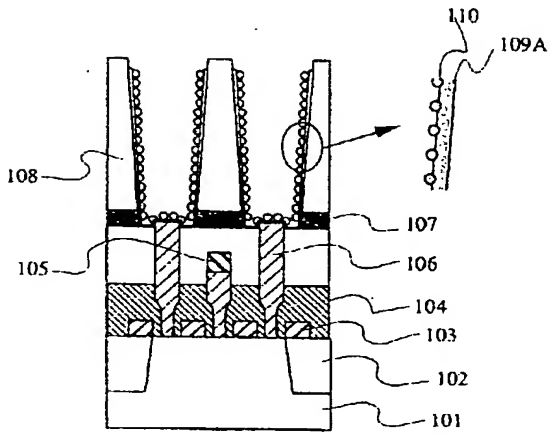
도면6



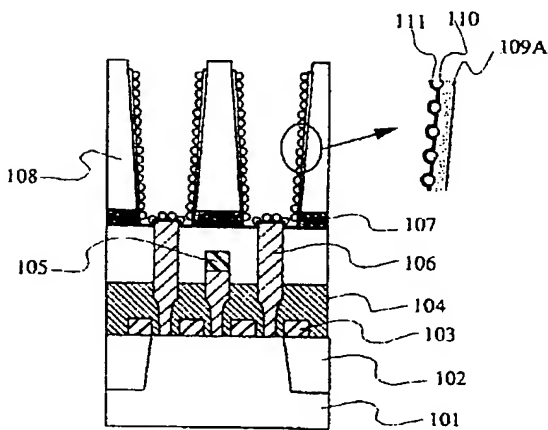
도면7



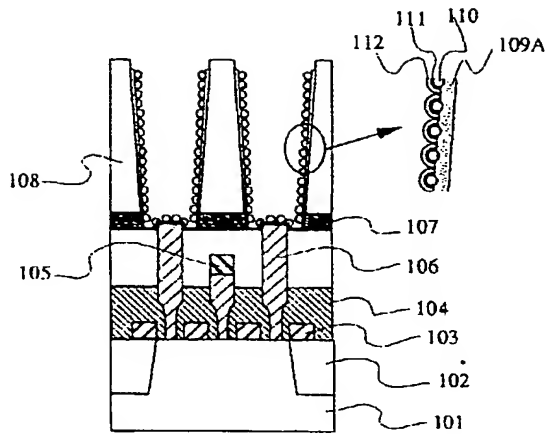
도면8



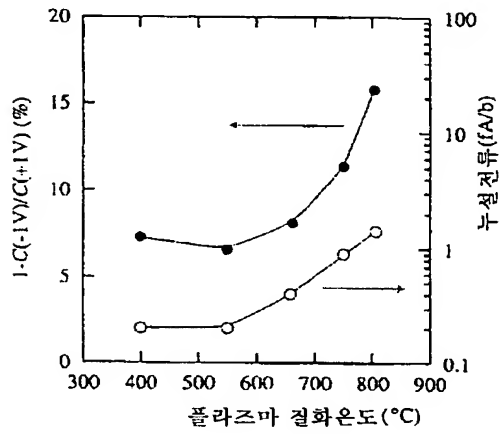
도면9



도면10



도면11



도면12

